|  |  |
| --- | --- |
| ***Digitalna elektronika (PR-PI/RI) - Konstrukcijske vježbe 2023./2024.*** | |
| Ime i prezime: | Mihael Živković |
| Broj zadatka: | 161 |
| Način rješavanja: | VHDL |
| Razvojna ploča: | Nexys A7 |
| Izraditi sustav za glasanje između dvije opcije. Lijevo tipkalo povećava brojač na lijevome 7 -segmentnom pokazniku, a desno tipkalo povećava brojač na desnome 7 -segmentnom pokazniku.  (zbog određenih komplikacija profesor promjenio zadatak za istu ocjenu (4) da lijevo tipkalo povećava broj na 3 7-segmentna pokaznika, a desno na 12 ledica (BCD)). | |
| ***Rješenje zadatka***  **got.vhd** | |
| **freq\_divider.vhd**    **sklop1.vhd**    **debounce.vhd**    **bit8\_BCD.vhd**    **double\_dabble.vhd**    **zad.vhd**    **BCD.vhd**    **counter2bit.vhd**    **demux1\_3.vhd**    **and\_23.vhd**    **and\_3.vhd**    **mux3\_1.vhd**    **seg\_7.vhd** | |
| U „Top Module“ datoteci za input se koriste signali push1 i push2 (2 tipkala na FPGA) te tipkalo RESET (rst). Signal an predstavlja 7-segmentne displaye od kojih se odma prva 4 gase tako što se stave na vrijednost '1'. Za sklop got.vhd koristi se djelitelj frekvencije kao entity freq\_divider.vhd. Djelitelj frekvencije ima generic map u koji upisujemo broj kojim želimo podjeliti frekvenciju(u ovom slučaju sa 500000 kako bi dobili na signalu clk\_o frekvenciju od 200 Hz. Drugi entity koji Top Module koristi je sklop1.vhd(također ga koristi i entity zad.vhd). Sklop1 entity za port map ima signale:  -push čijim se impulsom BCD broj povećava za 1  -reset koji resetira trenutni broj na 0  -clk potreban za debouncer  -4-bitne output signale sto, deset, jedan koji predstavljaju troznamenkasti BCD kod  Entity debounce.vhd je debouncer koji popravlja signal push kako jednim pritiskom ne bi više puta promijenio stanje(te povećao broj). Za njega je najbolje koristiti frekvenciju oko 200Hz te smo zato u sklopu got.vhd djeliteljem frekvencije smanjili frekvenciju na 200Hz za sklop1, odnosno debouncer u njemu. Napravljen je pomoću 3 D-bistabila u SIPO spoju i AND gatea prema shemi:  Entity sklop1 se još sastoji od entitya bit8\_BCD.vhd čija je svrha da 8-bitni signal pretvori u BCD kod. Bit8\_BCD je napravljen pomoću 7 double\_dabble entitya prema ovoj shemi:  Sklop nazvan „s“ na shemi je sklop double\_dabble i on je izveden K-mapama:    Nakon toga se koristi entity zad.vhd koji pritiskom gumba povećava troznamenkasti broj za 1 na  7-segmentnim displayima. Modul zad.vhd u port mapu ima redom signal čijim se impulsom povećava broj za 1 (push), reset kojim se sklop resetira, clock, 4 an-a i segmenti koji trebaju biti upaljeni. Modul zad.vhd koristi djelitelj frekvencije i entity sklop1 čiji je rad već objašnjen te od modula BCD.vhd koji prikazuje troznamenkasti BCD kod na 3 7-segmentna displaya. Napravljen je prema shemi sa 6. AV-a:    Jedina razlika je što modul BCD.vhd nema djelitelj frekvencije nego je napravljen tako da se za njegov clk signal inputa već clock umanjene frekvencije (200 Hz). 2-bitni counter je izveden modulom counter2bit.vhd FSM kodom s 3 stanja(00, 01, 10). Multipleksor i demultipleksor su napravljeni u modulima mux3\_1.vhd i demux1\_3.vhd. Multipleksor je napravljen naredbom WITH SELECT, a demultipleksor prema shemi:    Prvi AND gate s 2 negacije na ulazu je entity and\_23.vhd napravljen ponašajnim VHDL kodom. Drugi i treći AND gate-ovi s 1 negacijom na ulazu su napravljeni ponašajnim VHDL kodom kao entity and\_3.vhd. Također, još se koristi entity seg\_7.vhd koji prima 4-bitni signal i prikazuje ga na 7-segmentnom displayu kao broj od 0 do 9, za sve ostale vrijednosti display se gasi, odnosno ništa ne prikazuje. | |
| ***User Constrains File*** | |
|  | |